

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-332045

(P2000-332045A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/60

識別記号

3 0 1

F I

H 0 1 L 21/92

21/60

21/92

テ-マコト\*(参考)

6 0 2 K 5 F 0 4 4

3 0 1 P

6 0 2 Z

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号

特願平11-141948

(22)出願日

平成11年5月21日(1999.5.21)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 高尾 幸弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

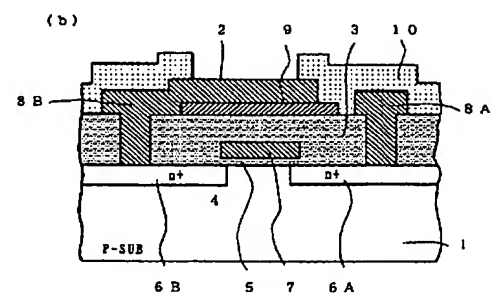
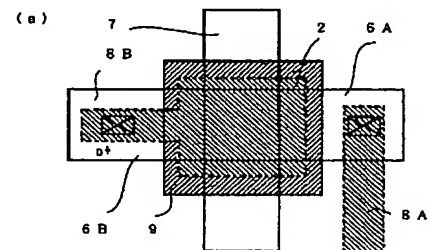
Fターム(参考) 5F044 EE11 EE21 QQ01 QQ04

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】実装した際にバンプ電極に加わる機械的な応力を緩和し、半導体素子の特性の変動を防止することができる。

【解決手段】P型半導体基板1上にA1から成る電極パッド2が形成され、電極パッド2の直下の半導体基板1上に層間絶縁膜3を介してMOSトランジスタ4が形成されている。MOSトランジスタ4上の層間絶縁膜3と電極パッド2との間にポリイミド膜から成る応力緩和膜9が介在している。



1:半導体基板 2:パッド電極 3:層間絶縁膜  
4:MOSトランジスタ 5:ゲート酸化膜  
6A, 6B:ソース・ドレイン拡散層 7:ゲート電極  
8A, 8B:ソース・ドレイン電極  
9:応力緩和膜 10:パッシベーション膜

## 【特許請求の範囲】

【請求項1】半導体基板上に形成された電極パッドと、この電極パッド上に形成されたバンプ電極と、前記電極パッドの直下の半導体基板上に層間絶縁膜を介して形成された半導体素子を有する半導体装置において、前記半導体素子上の前記層間絶縁膜と前記電極パッドとの間にポリイミド膜から成る応力緩和膜を介在させたことを特徴とする半導体装置。

【請求項2】半導体基板上に形成された電極パッドと、この電極パッド上に形成されたバンプ電極と、前記電極パッドの直下の半導体基板上に形成された半導体素子と、を有する半導体装置において、前記半導体素子を被覆する第1層間絶縁膜と、前記半導体素子のドレイン拡散層にコンタクトするドレイン電極と、このドレイン電極上に形成された第2層間絶縁膜と、この第2層間絶縁膜と前記パッド電極との間に介在するポリイミド膜から成る応力緩和膜と、この応力緩和膜の端よりも外側の第2層間絶縁膜に形成されたスルーホールと、このスルーホールを介して前記ドレイン電極と前記パッド電極から引き出された配線とを接続したことを特徴とする半導体装置。

【請求項3】半導体基板上に形成された電極パッドと、この電極パッド上に固着されたボンディングワイヤーと、前記電極パッドの直下の半導体基板上に層間絶縁膜を介して形成された半導体素子と、を有する半導体装置において、前記半導体素子上の層間絶縁膜と前記電極パッドとの間にポリイミド膜から成る応力緩和膜を介在させたことを特徴とする半導体装置。

【請求項4】前記応力緩和膜は、前記電極パッドよりも外側に拡張されて形成されたことを特徴とする請求項1乃至請求項3に記載の半導体装置。

【請求項5】前記応力緩和膜は、前記半導体装置が実装基板に実装された状態においてこの応力緩和膜に生じるひずみエネルギーが一定の値に減少する距離まで前記パッド電極よりも外側に拡張されたことを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項6】前記半導体素子は、トランジスタ、ダイオード、抵抗素子又は容量素子であることを特徴とする請求項1乃至請求項3に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電極パッドの直下の半導体基板上に半導体素子を形成することにより、チップサイズの縮小化を図る技術に関し、特に、このような半導体装置がCOB方式で実装されるときに生じる機械的な応力やワイヤーボンディング時の機械的な衝撃が半導体素子特性に与える影響を緩和する技術に関する。

## 【0002】

【従来の技術】従来、半導体装置のパッド電極の下方には、MOSトランジスタ等の半導体素子を形成していなかった。かかる領域に半導体素子を形成した場合、ウエハプロービング及びワイヤーボンディング時にパッド電極を介して、当該半導体素子に大きな機械的な衝撃が加わり、素子特性の変動、信頼性の劣化を招くためである。

【0003】しかし、出力MOSトランジスタをパッド電極から離れた位置に形成すると、LSIの高集積化を図る上で限界が生じていた。例えば、LCDドライバー、LEDドライバー及びサーマルヘッドドライバー等の駆動用ICなどで、多ビット出力のものについては、出力ピン数が多く、チップサイズ縮小の上で非常に不利であった。

【0004】そこで、特開平9-283525号公報に開示された技術のように、パッド電極上にはんだまたは金等の材料をボール状に装着させ（いわゆる、バンプ電極）、これを熱圧着または熱溶融させることで、COB基板と電気的接続を成す半導体装置において、かかるパッド電極下方にMOSトランジスタ等の半導体素子を形成するようにした。この技術によれば、パッド電極にウエハプロービング時及びワイヤーボンディング時の機械的な衝撃が加わることがなく、これに起因する素子特性の変動を防止することができる。

【0005】特開平9-283525号公報に開示された半導体装置の構造を図4を参照しながら説明する。51は、半導体基板で、素子形成領域を囲むようにLOCOS酸化膜52が形成され、このLOCOS酸化膜2で囲まれた素子形成領域に出力MOSトランジスタ53が形成されている。出力MOSトランジスタ53は、ゲート酸化膜54、ゲート電極55、ゲート電極55の両側に形成されたソース拡散層56A及びドレイン拡散層56Bとから成る。

【0006】そして、出力MOSトランジスタ53を被覆する第1層間絶縁膜57と、この第1層間絶縁膜57に設けられたコンタクト孔を介して、ソース拡散層56A、ドレイン拡散層56Bにコンタクトするソース電極58A、ドレイン電極58Bが形成されている。

【0007】更に、ソース電極58A、ドレイン電極58B上に第2層間絶縁膜59が形成され、この第2層間絶縁膜59にスルーホール（Via Hole）60が形成されている。このスルーホール60を介して第2層間絶縁膜59上に形成されたパッド電極61とドレイン電極56Bとが接続されている。

【0008】そして、パッド電極61上に開口部を有するパッシベーション膜62が形成されている。パッド電極61上には、メッキ電極膜63、Cr/Cu膜から成るバリアメタル膜64を介して、Cu膜65及び半田バンプ電極66が形成されている。

## 【0009】

【発明が解決しようとする課題】上記の半導体装置は、

COB方式で実装され、多層メタル配線を利用した半導体装置に適用されることにより、ワイヤーボンディング時の大きな機械的衝撃を受けることがなく、これに起因した素子特性の特性変動を抑止できる効果を奏する。

【0010】しかしながら、上記の半導体装置をCOB方式で実装した場合、温度変化によって、半導体基板と実装基板との間の熱膨張率の差によって、半田バンプ電極66に機械的な応力が加わり、この応力がパッド電極61、第1、第2層間絶縁膜7、9を介してMOSトランジスタ3に加わり、MOSトランジスタ3のしきい値などの特性が変動し、回路動作に異常が生じるおそれがある。上記の半導体装置をCOB方式で実装して温度サイクル試験(125℃〜45℃)を行ったところ、回路動作に異常がみられる場合があった。また、有限要素法を用いた応力シミュレーションによると、電極パッド61部分に大きな応力が加わっていることがわかった。

【0011】本発明は、上記の課題に鑑みて為されたものであり、電極パッドの直下の半導体基板上に半導体素子と形成することにより、チップサイズの縮小化を図ると共に、COB方式で実装されるときにバンプ電極に加わる機械的な応力、ワイヤーボンディング時の機械的な衝撃を緩和し、半導体素子の特性の変動を防止し、信頼性を向上した半導体装置を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に形成された電極パッドと、この電極パッド上に形成されたバンプ電極と、前記電極パッドの直下の半導体基板上に層間絶縁膜を介して形成された半導体素子を有する半導体装置において、前記半導体素子上の前記層間絶縁膜と前記電極パッドとの間にポリイミド膜から成る応力緩和膜を介在させたことを特徴としている。

【0013】これにより、半導体装置をCOB方式で実装した際にバンプ電極に加わる機械的な応力を緩和し、半導体素子の特性の変動を防止することができる。

【0014】また、本発明の半導体装置は、半導体基板上に形成された電極パッドと、この電極パッド上に形成されたバンプ電極と、前記電極パッドの直下の半導体基板上に形成された半導体素子と、を有する半導体装置において、前記半導体素子を被覆する第1層間絶縁膜と、前記半導体素子のドレイン拡散層にコンタクトするドレイン電極と、このドレイン電極上に形成された第2層間絶縁膜と、この第2層間絶縁膜と前記パッド電極との間に介在するポリイミド膜から成る応力緩和膜と、この応力緩和膜の端よりも外側の第2層間絶縁膜に形成されたスルーホールと、このスルーホールを介して前記ドレイン電極と前記パッド電極から引き出された配線とを接続したことを特徴としている。

【0015】これにより、半導体装置をCOB方式で実

装した際にバンプ電極に加わる機械的な応力を緩和し、半導体素子の特性の変動を防止することができると共に、多層配線を用いた半導体装置への適用を可能としている。

【0016】また、本発明の半導体装置は、半導体基板上に形成された電極パッドと、この電極パッド上に固着されたボンディングワイヤーと、前記電極パッドの直下の半導体基板上に層間絶縁膜を介して形成された半導体素子と、を有する半導体装置において、前記半導体素子上の層間絶縁膜と前記電極パッドとの間にポリイミド膜から成る応力緩和膜を介在させたことを特徴としている。

【0017】これにより、ワイヤーボンディング時の機械的な衝撃を緩和し、半導体素子の特性の変動を防止することができる。

【0018】また、上記の発明において、応力緩和膜は、前記電極パッドよりも外側に拡張されて形成することが、応力を有効に緩和する上で好ましい。

【0019】また、上記の発明において、応力緩和膜は、半導体装置が実装基板に実装された状態においてこの応力緩和膜に生じるひずみエネルギーが一定の値に減少する距離まで前記パッド電極よりも外側に拡張されることが好ましい。

【0020】半導体装置が実装基板に実装された状態において、バンプ電極、特にバンプ電極とパッド電極との界面の近傍に加わる応力は、この応力緩和膜にひずみエネルギーとなって吸収される。そして、応力シミュレーションによれば、応力緩和膜がパッド電極の外に拡張される距離が大きくなるとともに、このひずみエネルギーは応力緩和膜の中で分散されて減少し、バンプ電極に加わる応力も低減される。応力緩和膜に生じるひずみエネルギーは、パッド電極からのある距離で一定値に減少する。したがって、かかる距離まで応力緩和膜を拡張することにより、有効に応力を緩和できる。

【0021】

【発明の実施の形態】次に、本発明の実施形態を図1乃至図3を参照しながら説明する。

【0022】図1は、第1の実施形態に係る半導体装置を示す図である。図1(a)は、平面図、図1(b)は、図1(a)におけるX-X線断面図である。

【0023】P型半導体基板1上にA1から成る電極パッド2が形成され、電極パッド2の直下の半導体基板1上に層間絶縁膜3を介してMOSトランジスタ4が形成されている。MOSトランジスタ4は、ゲート酸化膜5、n+型のソース拡散層6A及びドレイン拡散層6B、ポリシリコン膜から成るゲート電極7から成る。

【0024】ソース拡散層6Aには、A1から成るソース電極8Aがコンタクトを介して接続され、このソース電極8Aは、電源電位VCCに接続されている。一方、ドレイン拡散層6Bは、A1から成るドレイン電極8B

がコンタクトを介して接続され、このドレイン電極8Bは、パッド電極2に接続されている。ゲート電極7には、LSIの内部回路からの出力制御信号が印加される。すなわち、MOSトランジスタ4は、出力用トランジスタである。

【0025】そして、MOSトランジスタ4上の層間絶縁膜3と電極パッド2との間にポリイミド膜から成る応力緩和膜9が介在している。この応力緩和膜9は、ポリイミド(PIX)をスピンコートし、プリベークした後に、感光性ポリイミドの場合には直接露光・現像を行い、非感光性ポリイミドの場合には、レジストを用いて露光・現像・エッチングを行い、所定の領域に残すように形成する。感光性ポリイミドの場合には通常、ポジ型ポリイミドを用いる。応力を緩和するために応力緩和膜9の厚さは、厚いほど良いが、パッド電極2とドレイン電極8Bとの接続部において、A1の段差が生じ、A1が断線するおそれがあるので限度がある。そこで、1〜2 $\mu$ mの膜厚が適当である。

【0026】なお、上記半導体装置は、シリコン窒化膜などのパッシベーション膜10で被覆されるが、パッド電極2上には開口部が設けられている。

【0027】また、応力緩和膜9は、パッド電極2の直下に形成されるが、この応力緩和膜9にコンタクトホール(又はスルーホール)を形成することも考えられるが、応力緩和膜9の面積が減少し応力緩和の効果小さくなるおそれがある。

【0028】そして、パッド電極2上には、従来例と同様にして、バンプ電極(図示しない)を形成し、実装基板にこの半導体装置を搭載する。ポリイミド膜は弾性体であり、応力を吸収する性質があるため、実装状態でバンプ電極、特にバンプ電極とパッド電極2との界面近傍に加わる機械的応力が緩和され、そのパッド電極2の直下にあるMOSトランジスタ4への応力も緩和される。

【0029】また、パッド電極2上に、通常のワイヤーボンディングを行っても良い。このときには、パッド電極2上には、ボンディングワイヤーが形成される。本発明の半導体装置によれば、応力緩和膜9を形成しているので、ワイヤーボンディングの機械的衝撃を緩和し、MOSトランジスタ4の特性変動や破壊を防止することができる。

【0030】上記の実施形態は、単層A1配線プロセスの例であるが、本発明は、以下に説明するように多層A1配線プロセスにも適用することができる。

【0031】図2は、第2の実施形態に係る半導体装置を示す図である。

【0032】P型半導体基板21上にMOSトランジスタ22が形成されている。MOSトランジスタ22は、ゲート酸化膜23、n+型のソース拡散層24A及びドレイン拡散層24B、ポリシリコン膜から成るゲート電極25から成る。

【0033】MOSトランジスタ22は、BPSG膜から成る第1層間絶縁膜26によって被覆されている。ソース拡散層24Aには、A1から成るソース電極27Aがコンタクトを介して接続され、このソース電極27Aは、電源電位VCCに接続されている。一方、ドレイン拡散層24Bは、A1から成るドレイン電極27Bがコンタクトを介して接続されている。ゲート電極25には、LSIの内部回路からの出力制御信号が印加される。すなわち、MOSトランジスタ22は、出力用トランジスタである。

【0034】ソース電極27A及びドレイン電極27B上には、TEOS膜からなる第2層間絶縁膜28が形成されている。第2層間絶縁膜28上には、ポリイミドからなる応力緩和膜29が形成されており、その応力緩和膜29上にA1から成るパッド電極30が形成されている。この応力緩和膜29の端よりも外側の第2層間絶縁膜28にスルーホール31が形成され、このスルーホール31を介してドレイン電極27Bとパッド電極22から引き出された配線32とが接続されている。

【0035】すなわち、応力緩和膜30にスルーホールを形成することなく、第2層間絶縁膜28にスルーホール31を設けている。これは、スルーホール上にパッド電極30を設けるとパッド電極30に凹部が形成され、その後のバンプ形成が難しくなるからである。

【0036】上記半導体装置は、シリコン窒化膜などのパッシベーション膜36で被覆されるが、パッド電極30上には開口部が設けられている。そして、パッド電極30上には、従来例と同様にして、Cr/Cu膜から成るバリアメタル膜33を介して、Cu膜34及び半田バンプ電極35が形成されている。

【0037】上記第1及び第2の実施形態において応力緩和膜9、29は、図3(a)に示すように、電極パッド2、30よりも外側に拡張されて形成することが、応力を有効に緩和する上で好ましい。また、応力緩和膜9、29は、半導体装置が実装基板に実装された状態においてこの応力緩和膜に生じるひずみエネルギーが一定の値に減少する距離まで前記パッド電極よりも外側に拡張されることが好ましい。

【0038】半導体装置が実装基板に実装された状態において、バンプ電極35、特にバンプ電極35とパッド電極30との界面の近傍に加わる応力は、この応力緩和膜29にひずみエネルギーとなって吸収される。

【0039】図3(b)は、ひずみエネルギーと電極パッドから応力緩和膜の端までの距離Lとの関係を示す有限要素法によるシミュレーション図である。図のように、応力緩和膜がパッド電極の外に拡張される距離Lが大きくなるとともに、このひずみエネルギーは応力緩和膜の中で分散されて減少する。そして、バンプ電極に加わる応力も低減される。応力緩和膜に生じるひずみエネルギーは、パッド電極からのある距離で一定値に減少す

る。したがって、かかる距離まで応力緩和膜を拡張することにより、有効に応力を緩和できる。

【0040】なお、上記実施形態において、MOSトランジスタ以外の半導体素子、例えばPN接合ダイオード、拡散層を用いた抵抗素子、電極間に容量絶縁膜を有する容量素子などをパッド電極の直下に形成した場合でも、これらの半導体素子の特性変動を防止できることは明らかである。

【0041】

【発明の効果】以上説明したように、本発明の半導体装置によれば、COB方式で実装した際にパンプ電極に加わる機械的な応力を緩和し、半導体素子の特性の変動を防止することができる。

【0042】また、ワイヤーボンディング時の機械的な

衝撃を緩和し、半導体素子の特性の変動を防止することができる。

【0043】応力緩和膜は、前記電極パッドよりも外側に拡張されて形成することにより、応力を有効に緩和することができる。

【図面の簡単な説明】

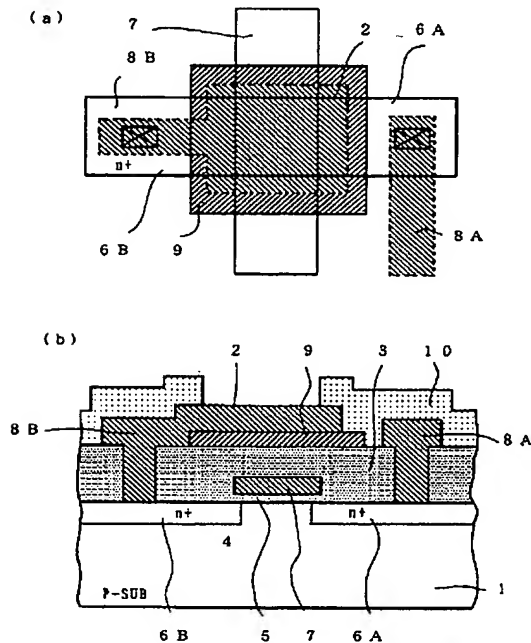
【図1】本発明の実施形態に係る半導体装置を示す図である。

【図2】本発明の実施形態に係る半導体装置を示す図である。

【図3】本発明の実施形態に係る半導体装置とひずみエネルギーの関係を示す図である。

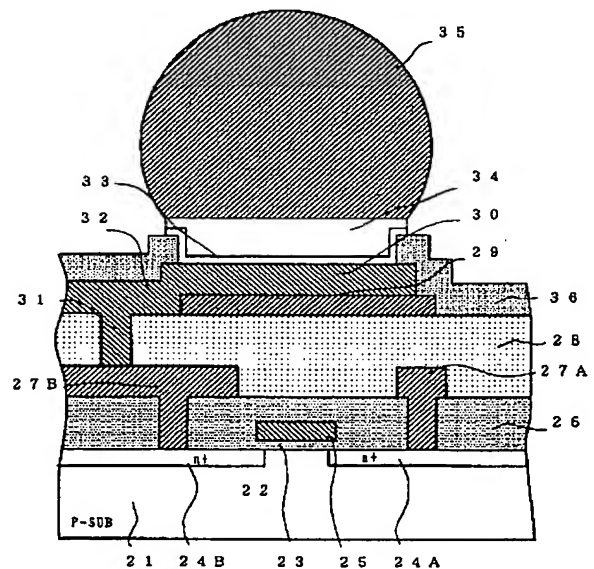
【図4】従来例に係る半導体装置を示す断面図である。

【図1】



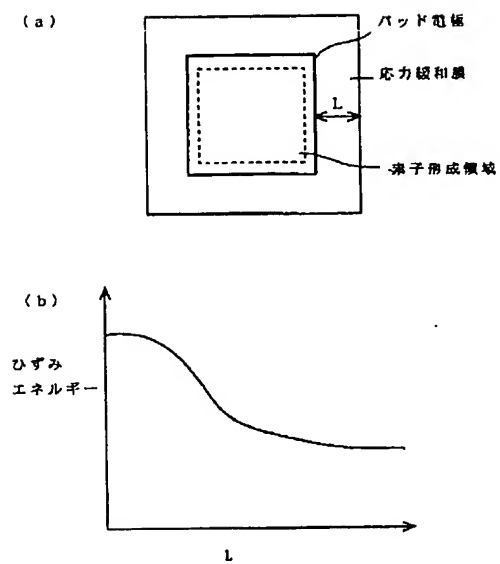
- 1: 半導体基板 2: パッド電極 3: 層間絶縁膜  
4: MOSトランジスタ 5: ゲート酸化膜  
6A, 6B: ソース・ドレイン拡散層 7: ゲート電極  
8A, 8B: ソース・ドレイン電極  
9: 応力緩和膜 10: パッシベーション膜

【図2】



- 21: 半導体基板 22: MOSトランジスタ  
23: ゲート酸化膜 24A, 24B: ソース・ドレイン拡散層  
25: ゲート電極 26: 第1層間絶縁膜  
27A, 27B: ソース・ドレイン電極  
28: 第2層間絶縁膜 29: 応力緩和膜 30: パッド電極  
31: スルーホール 32: 配線  
33: バリアメタル膜 34: Cu膜 35: パンプ電極  
36: パッシベーション膜

【図3】



【図4】

